

動的再構成プロセッサDRP※の 概要とAIへの応用

※ : Dynamically Reconfigurable Processor

2021年11月18日

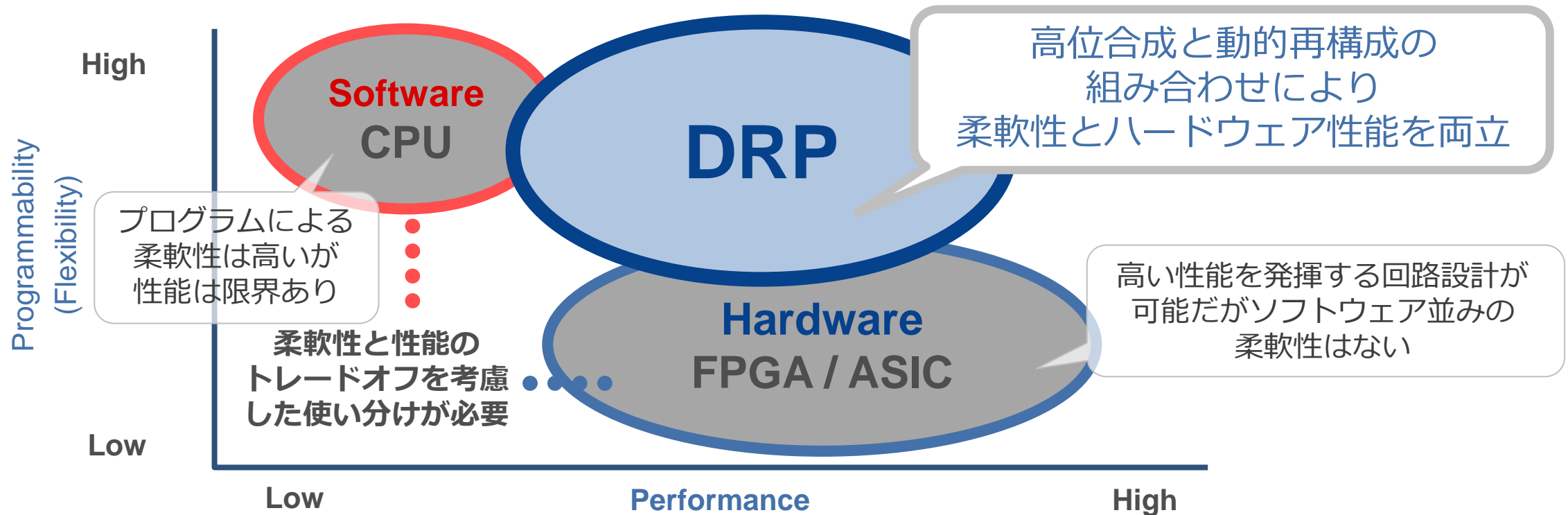
小嶋伸吾

ルネサスエレクトロニクス(株)
IoT・インフラ事業本部
エンタープライズ・インフラ・ソリューション事業部
MPUビジネス開拓部

1. 動的再構成プロセッサとは？

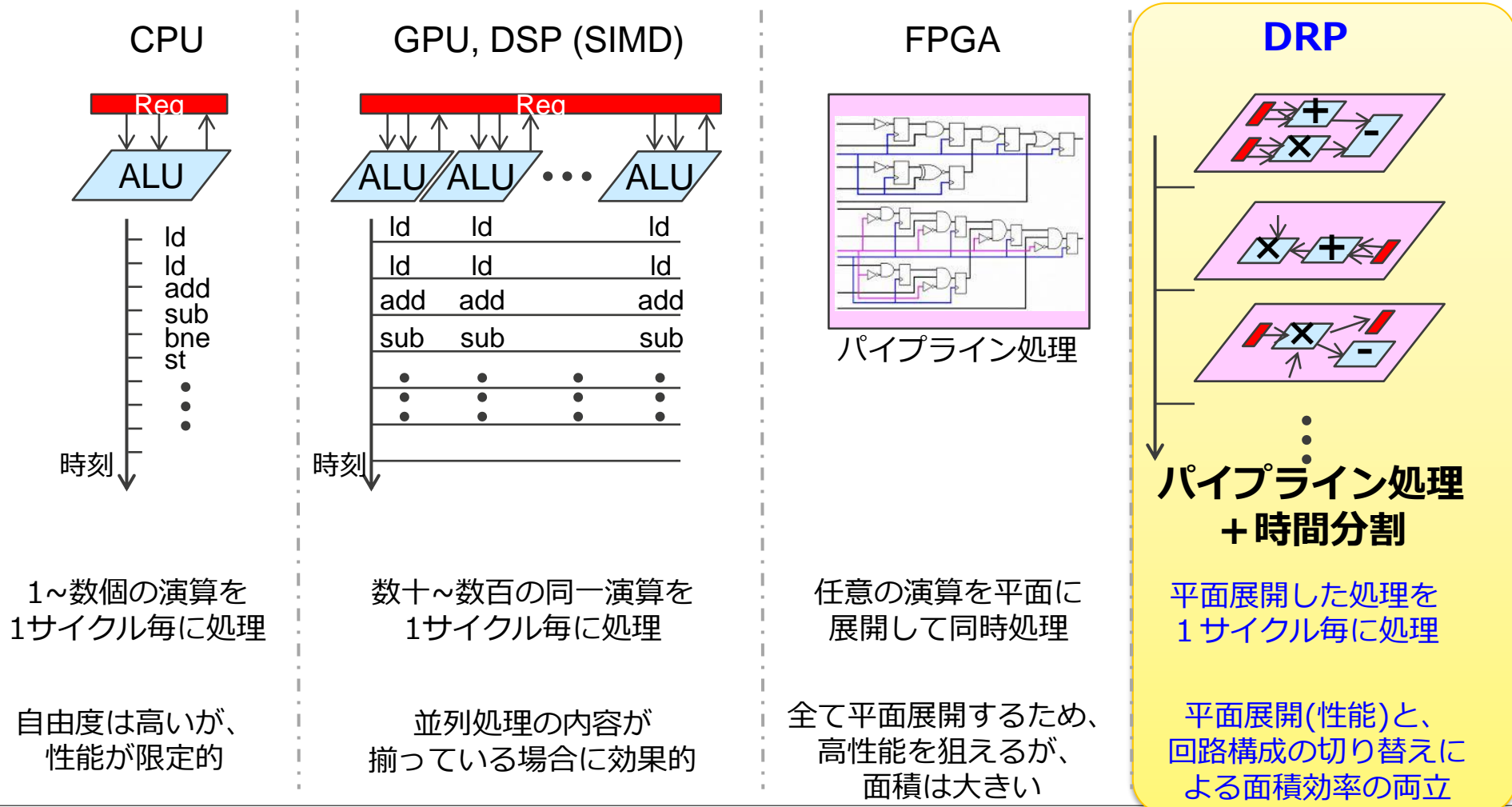
ソフトウェアの柔軟性とハードウェアの性能を両立

ソフトウェアの柔軟性とハードウェアの性能を併せ持つ
「ルネサスオリジナル」のアクセラレータ

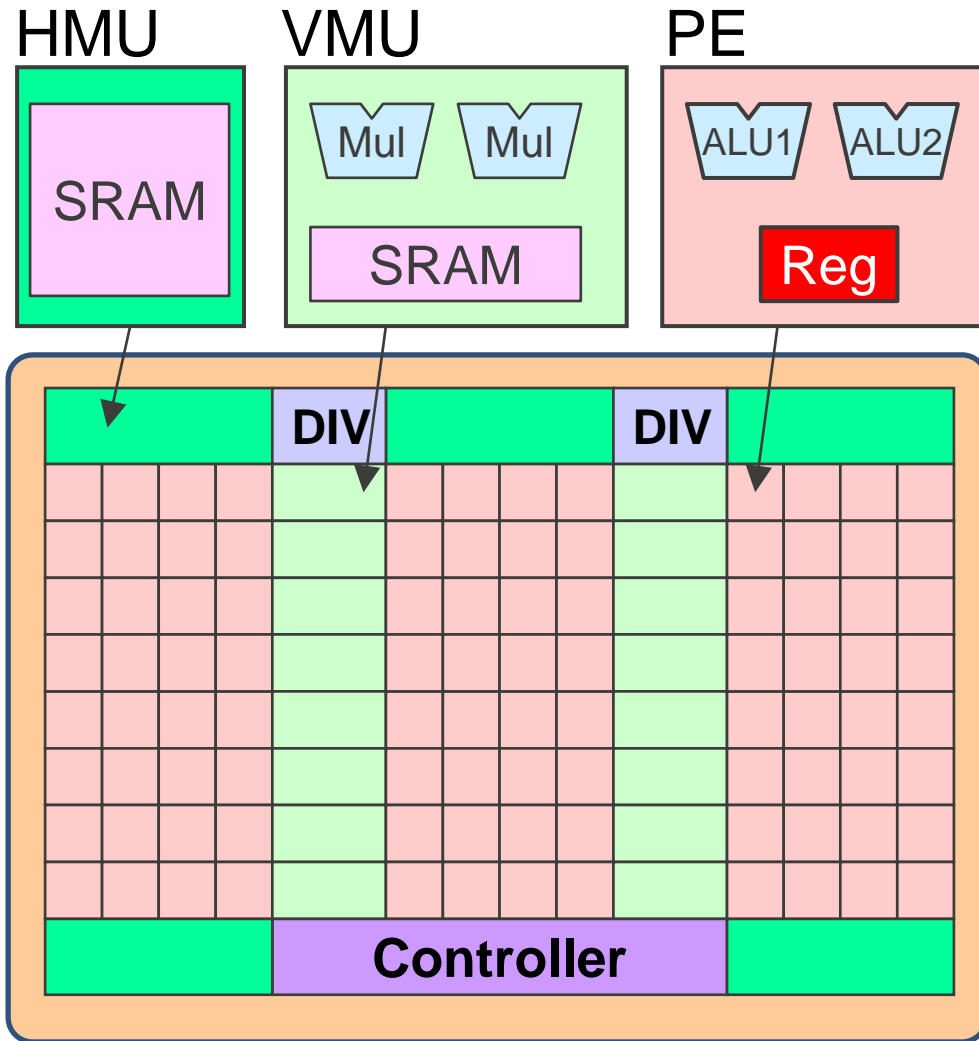


他のプログラマブルソリューションとの違い

アプリケーションを複数の回路構造に変換、時間軸方向に束ねる事により高性能とフレキシビリティを両立

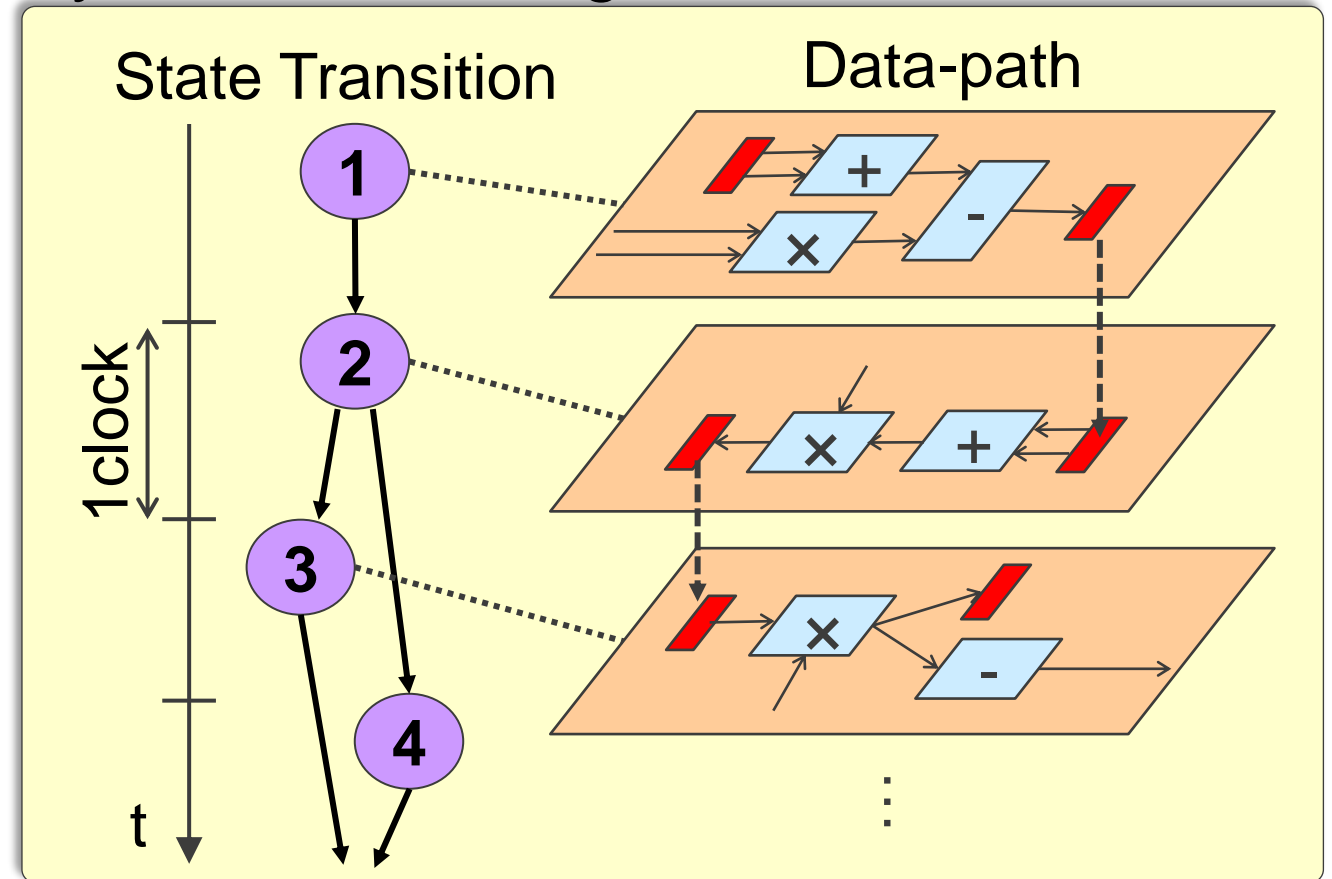


DRP アーキテクチャ



DRPの内部構造

Dynamic Reconfiguration

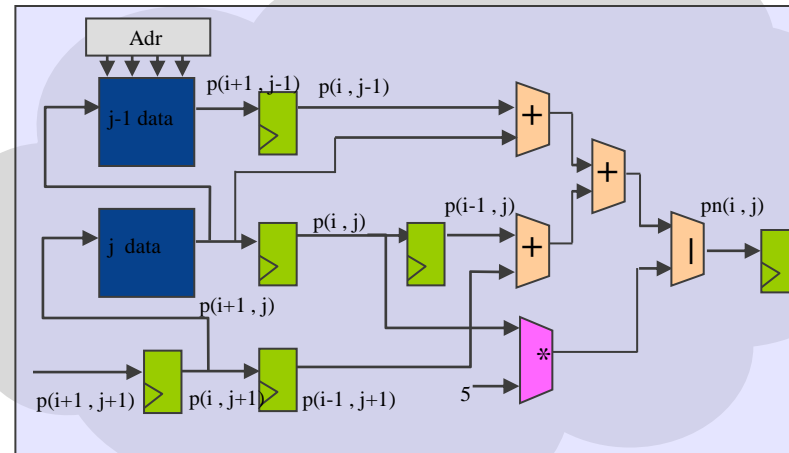
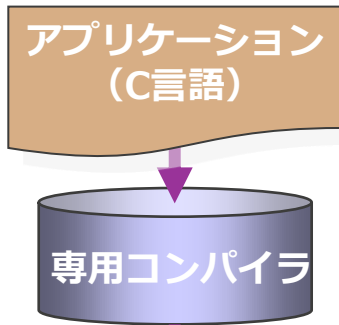


状態遷移(State Machine)とそれぞれのステートに対応するデータパス(回路構造)に分解、1クロック単位に回路構造を変更できるハードウェアで動作させる。

高位合成コンパイラによるC言語からDRP構成情報への変換

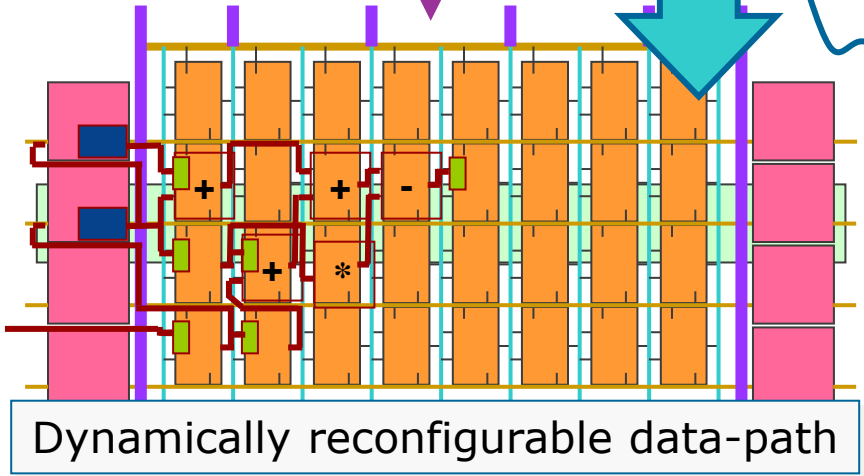
```
for( i = 0; i < N; i++ ){  
  for( j = 0; j < N; j++){  
    fn(i, j) = 5*f(i, j) - f(i, j-1) - f(i-1, j)  
              - f(i+1, j) - f(i, j+1);  
  }  
}
```

ソフトウェア言語(C)からハードウェアへ自動変換



ハードウェアからDRPの構成情報へ自動マッピング

- 提供価値**
- ✓ C言語による開発効率と柔軟性
 - ✓ ハードウェアならではの性能
 - ✓ 低レイテンシ



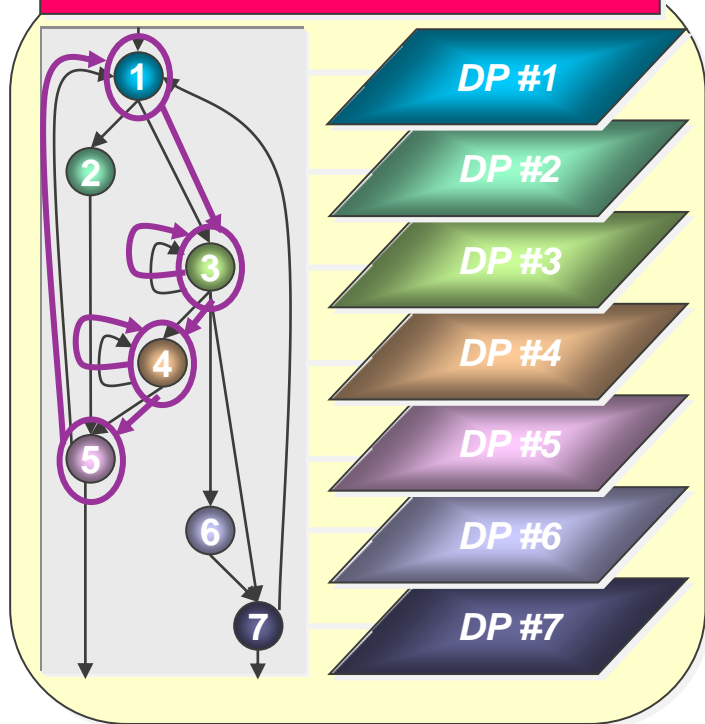
コンセプトとメカニズム

C言語プログラム

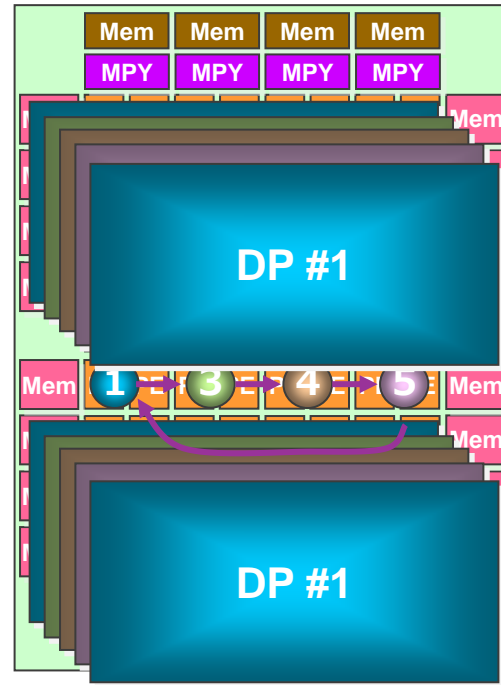
高位合成
CADツール

C言語での変数・演算子を専用コンパイラがハードウェアリソースにマッピング、STCがその間の接続を1クロック毎に切り替えることにより任意の機能を実現

状態遷移マシン+各状態に付随するデータパス(DP)回路



アーキテクチャ
に具体化



実際の動作は

状態遷移を制御するSTC
+
高速に切り替え可能な
複数面の構成情報を持つ
演算器アレイ

DRP と CPU処理の性能比較

画像のエッジ検出を行うアルゴリズム「Canny Edge Detection」を実行した場合のデモ

CPUによるソフトウェア処理
1フレームあたり**142ミリ秒必要**
CPU case about 142msec

DRP処理
1フレームあたり**10ミリ秒**
DRP case Fixed 10msec

Canny(CPU): 142.1[ms]



追従できず

処理速度
10倍以上

Canny(DRP): 10.4[ms]

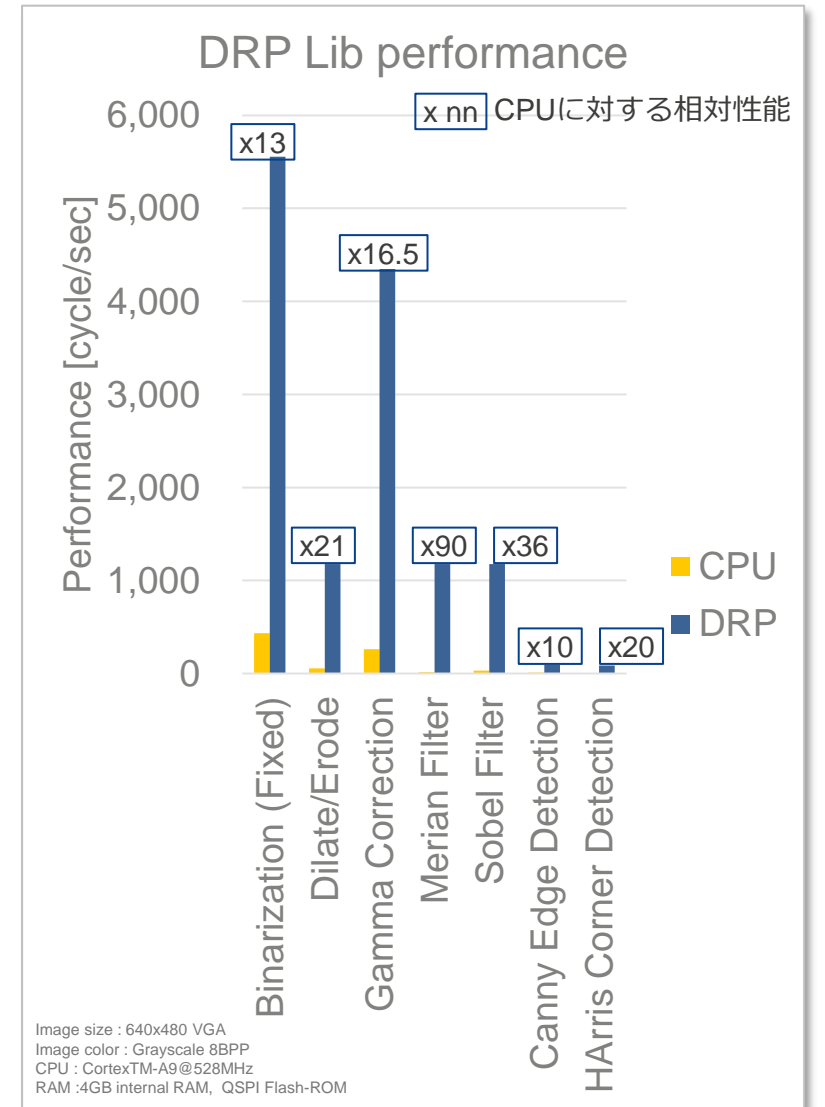
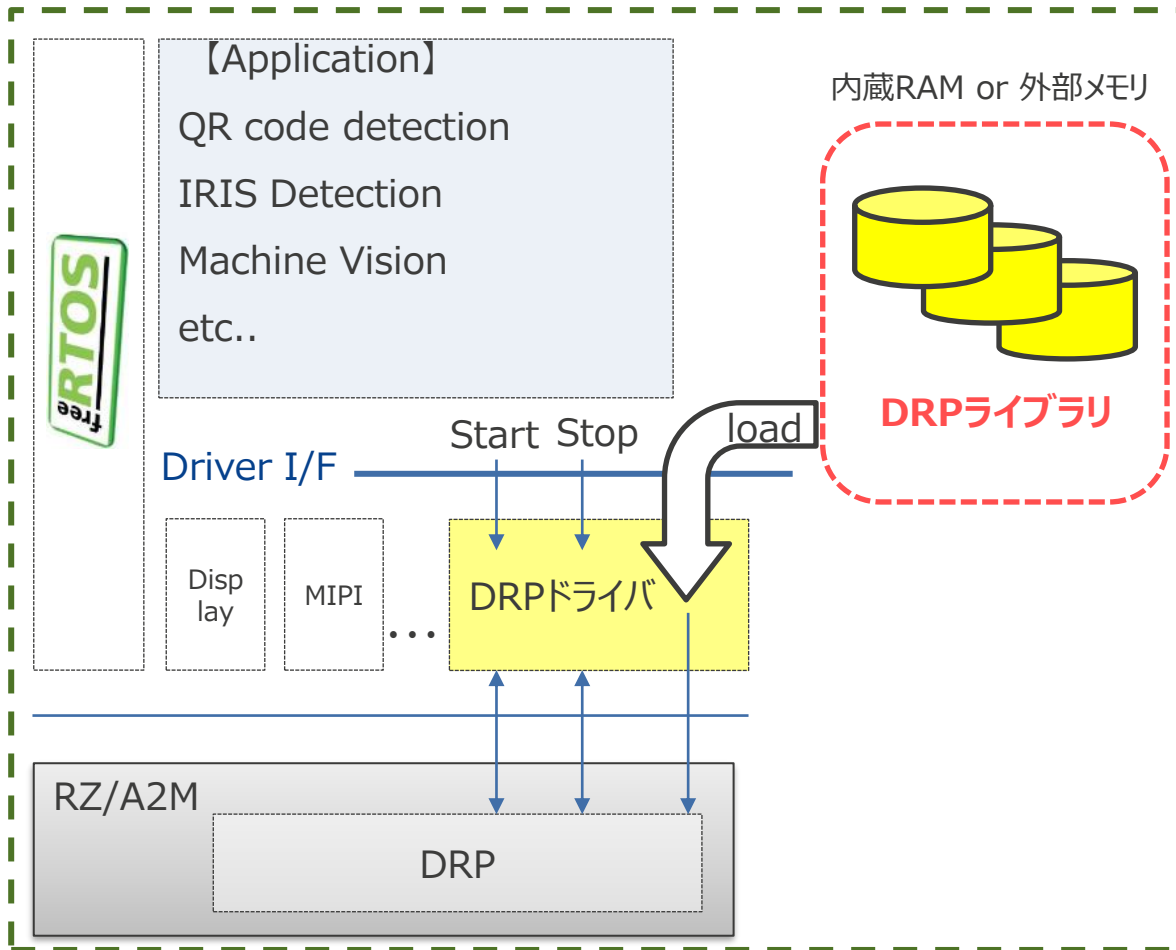


輪郭に追従

2. 今までのDRP応用例

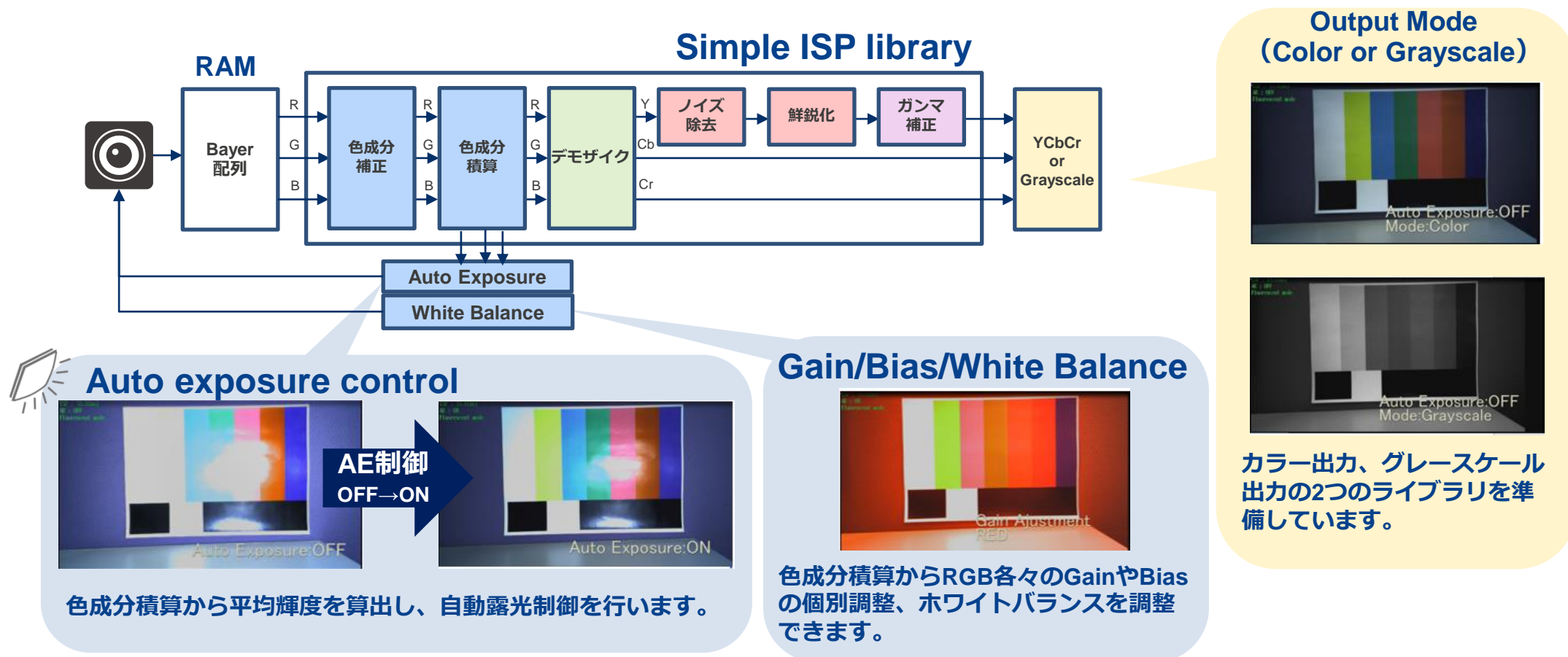
DRPライブラリ ソフトウェア環境とベンチマーク

数十種類のDRPライブラリをサンプルコードと共にSW開発キットに同梱、お客様のアプリケーションから呼び出すだけでDRPの性能を手軽に活用可能



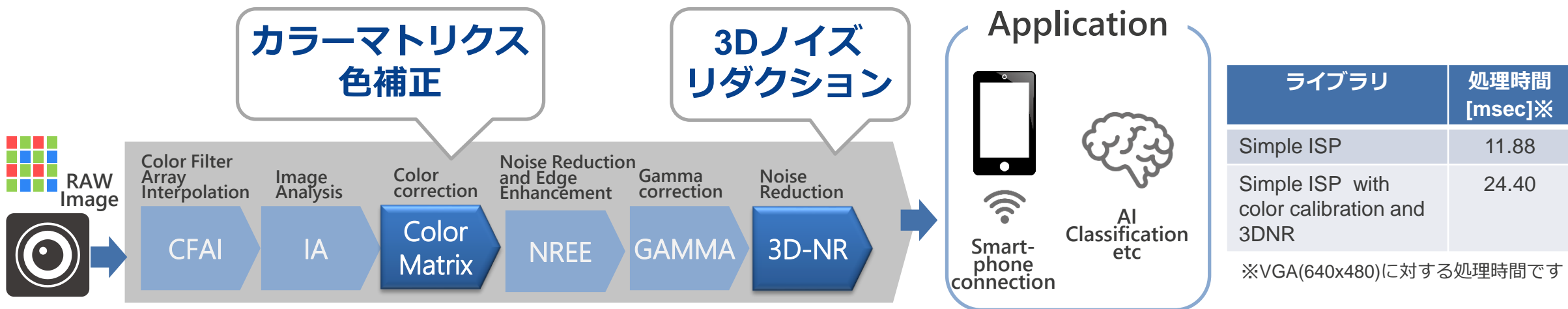
応用例① ～Simple ISP～

- 従来、外付けが画像処理プロセッサ(ISP)が必要だったRAWセンサー入力からの画像生成をDRPで実装
- システムコスト低減に寄与すると共に、ハードウェアで固定されたISPではできない「用途に応じた使い分け」が可能に



高画質版SIMPLE ISP

- マシンビジョンに必要な基本機能に加え、画像の保存・スマートフォンでの表示等の用途に向けた画質向上版



(1) カラーマトリクスによる色補正機能

<Color Matrix Correction OFF>

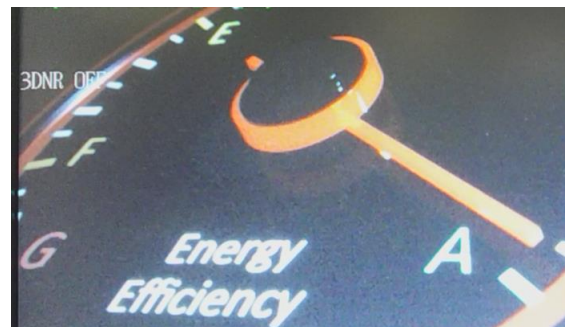


<Color Matrix Correction ON>

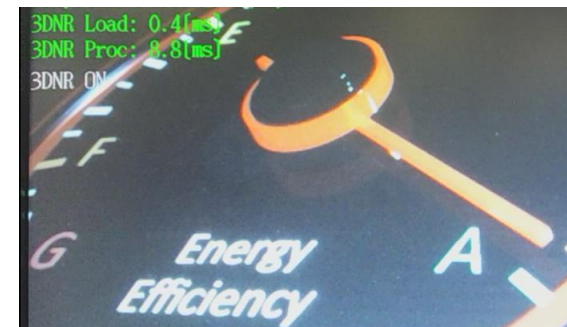


(2) 3Dノイズリダクション機能

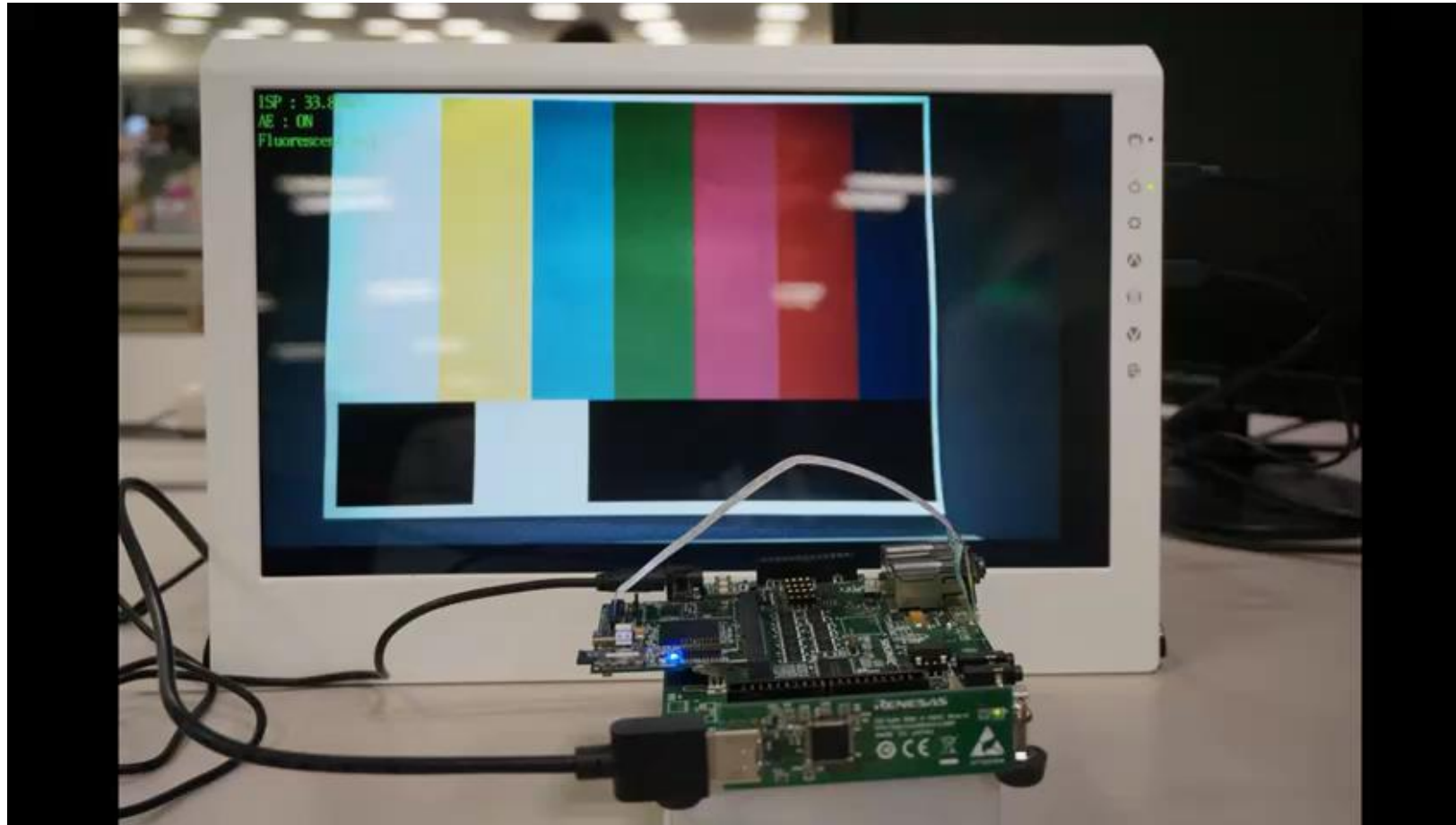
<3D-NR OFF>



<3D-NR ON>



デモ動画（カラーマトリクス色補正・3Dノイズリダクション）



応用例② ～カメラによるロボットハンド制御～

➤ 動体検出・色追跡など複数のDRPライブラリを組み合わせ、画像によるロボットハンド制御を実現

処理フロー

ビジョン処理

Image Capturing

Image Preparation^{*4}

Find Contour

Calculation Target

2.5
ms

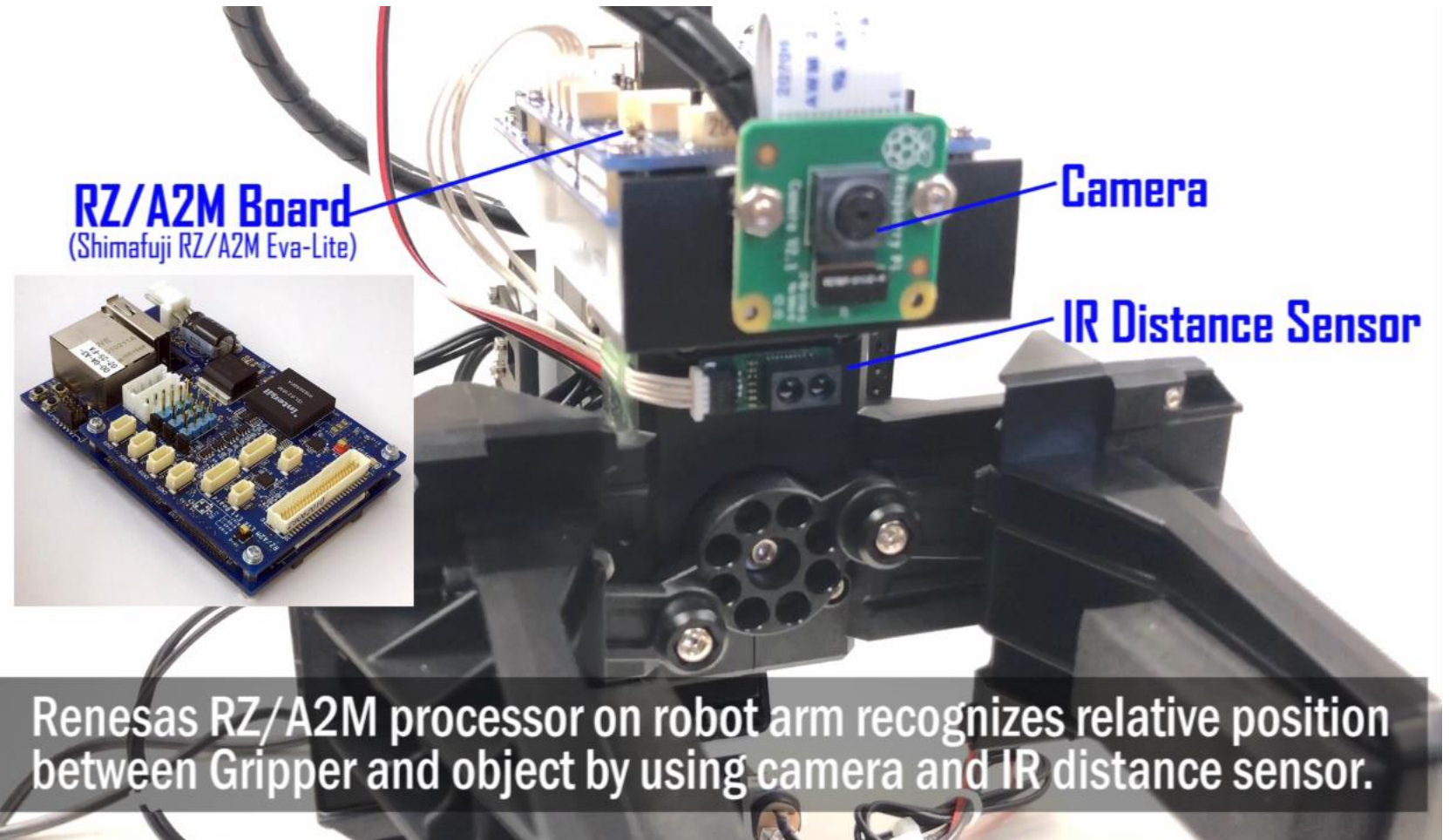
モーション処理

LPF Target

PID Current -Target

Calculation of IK

Servo Control



3. Deep Learningへの対応 ～DRP-AI～

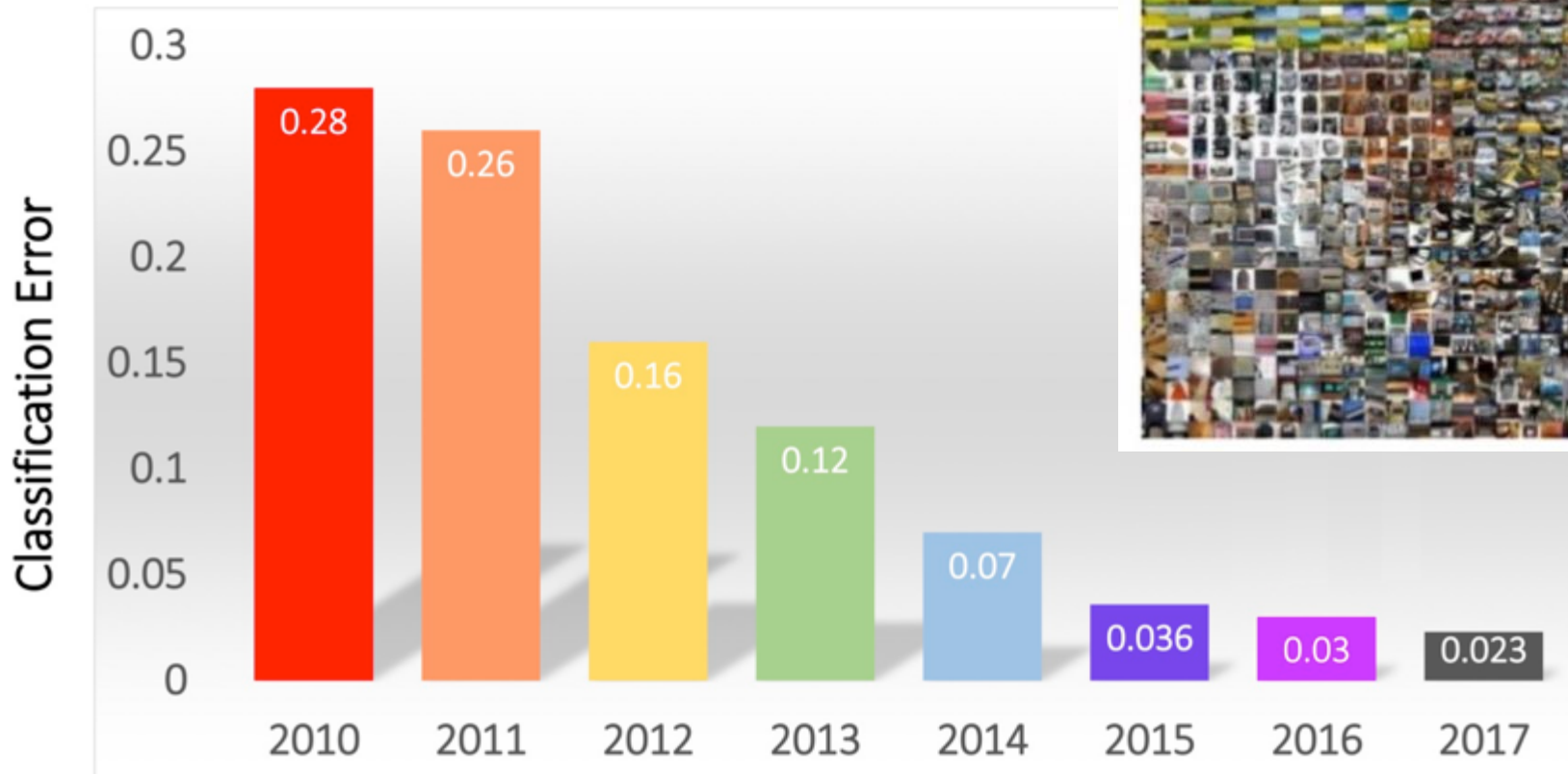
ディープラーニングのきっかけ

※ ImageNet Large Scale Visual Recognition Challenge

Stanford大学主催の大規模画像認識コンテスト ILSVRC※

2012年にトロント大のAlexNetが従来の手法を凌駕し、今のディープラーニングの先駆けとなった

Classification Result (CLS)



IMAGENET



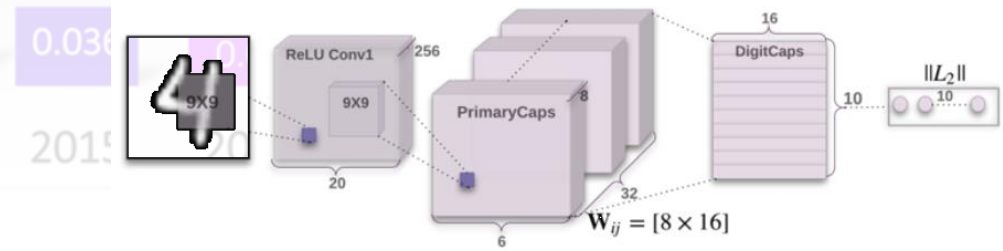
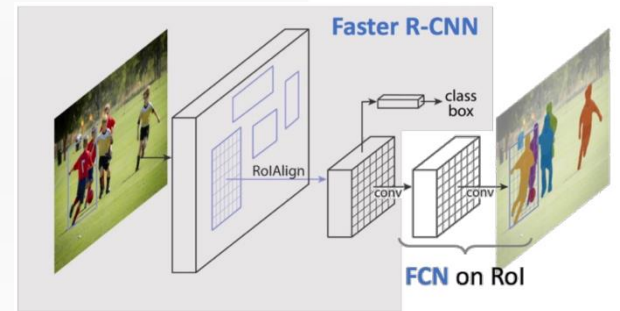
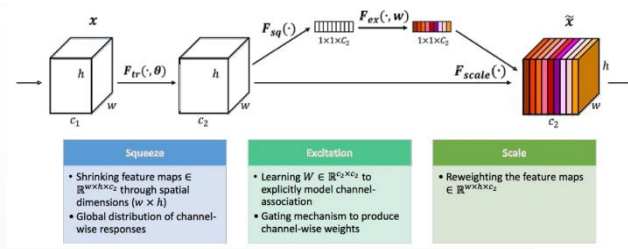
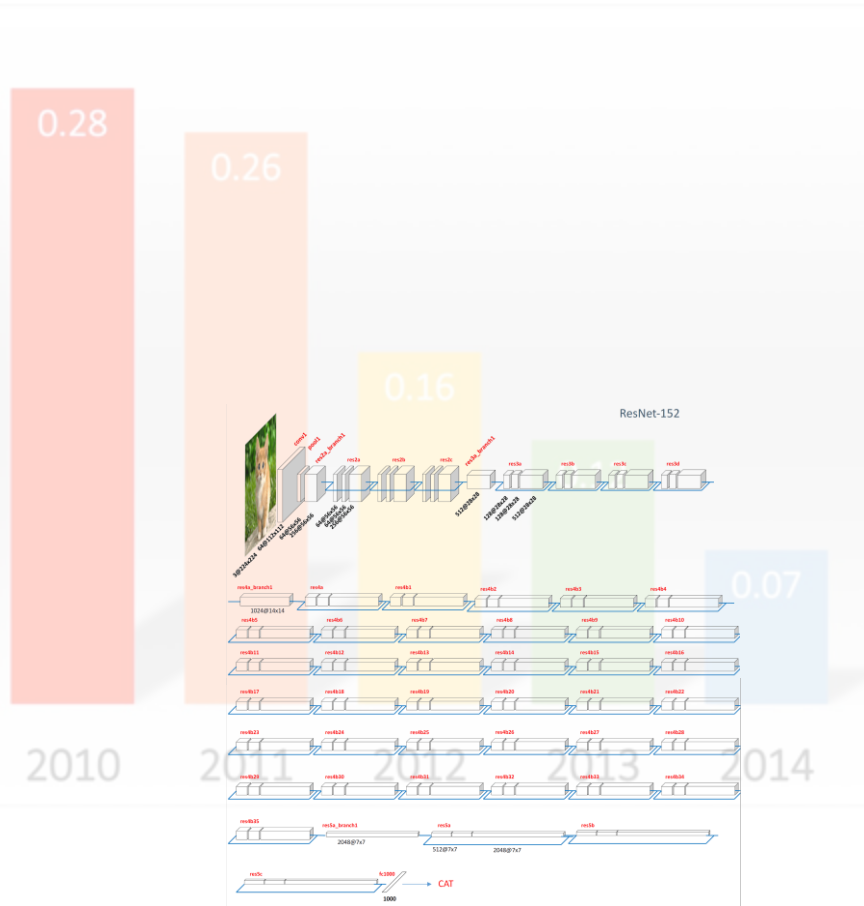
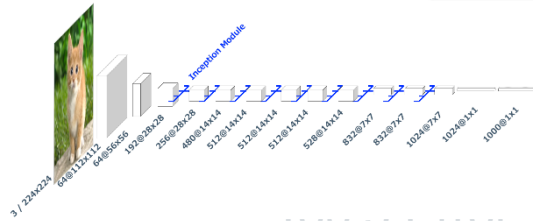
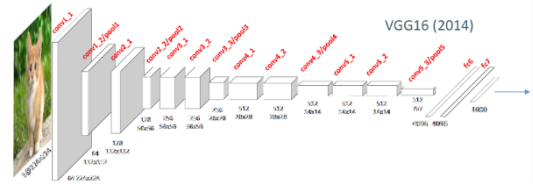
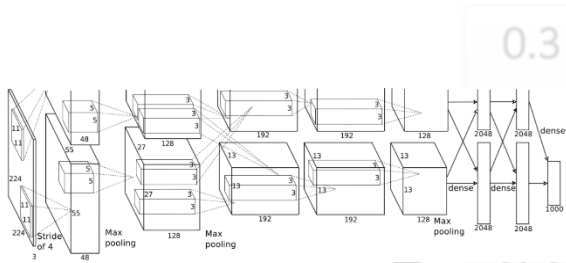
画像認識の性能を競うコンペティション。2010年より毎年開催、Stanford大学(Fei Fei Li)が主催者。

ネットから収集した14M imagesの画像データベース、1000 classes。1.2M train、100K testで認識率を競う

ニューラル・ネットワークの急速な進化

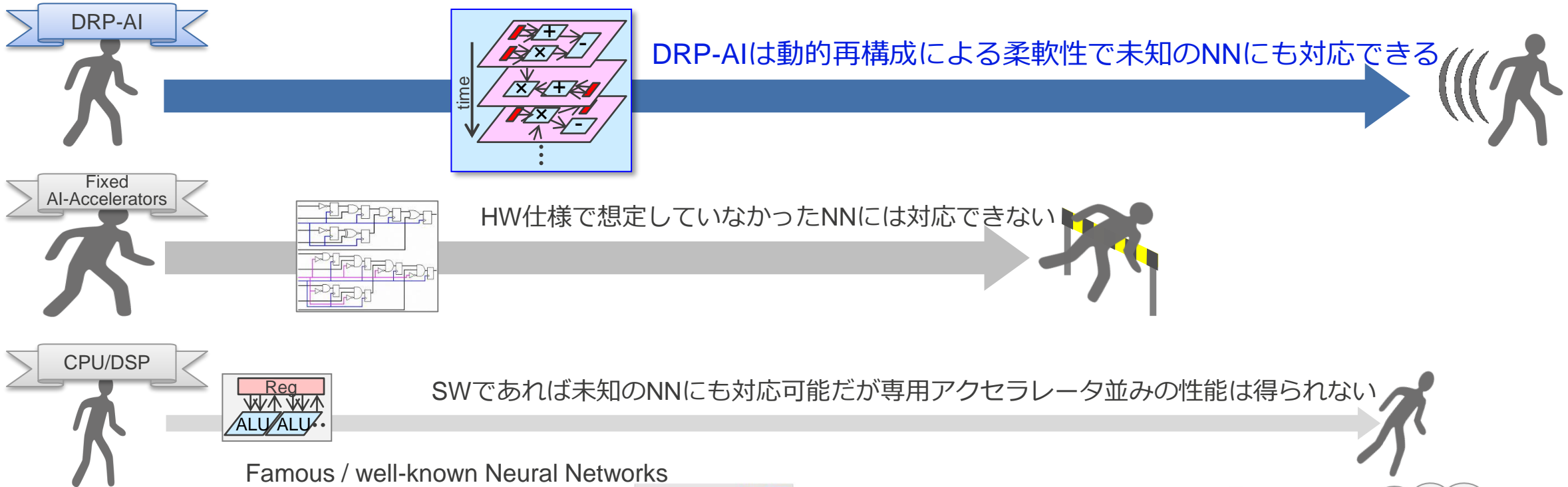
2012以降、様々なニューラルネットワークが提案されており、今後も新たなNNの提案が続く。

固定したAIアクセラレータは将来陳腐化するリスクあり → AIの進化に対応できるフレキシビリティが重要

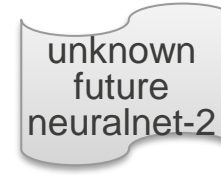
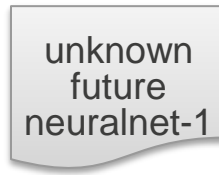
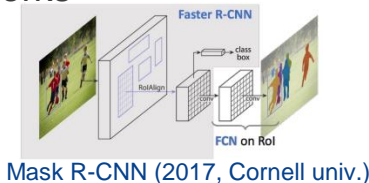
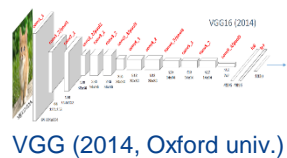


コンセプト

固定したAIアクセラレータは将来陳腐化するリスクあり
 CPU/DSPなどのソフトウェアソリューションはプログラムの柔軟性により対応可能だが性能は限定的
HWの性能とSWのフレキシビリティを併せ持つDRP-AIはNNの進化にも柔軟に対応

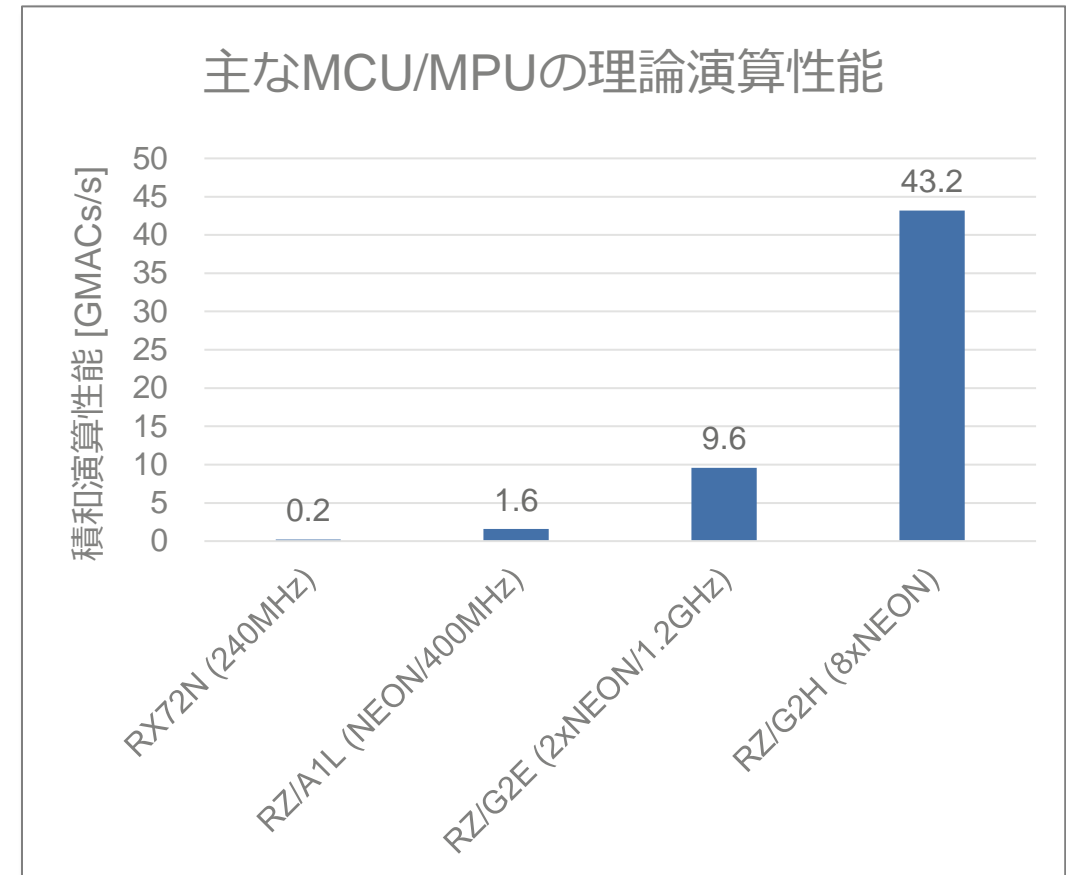
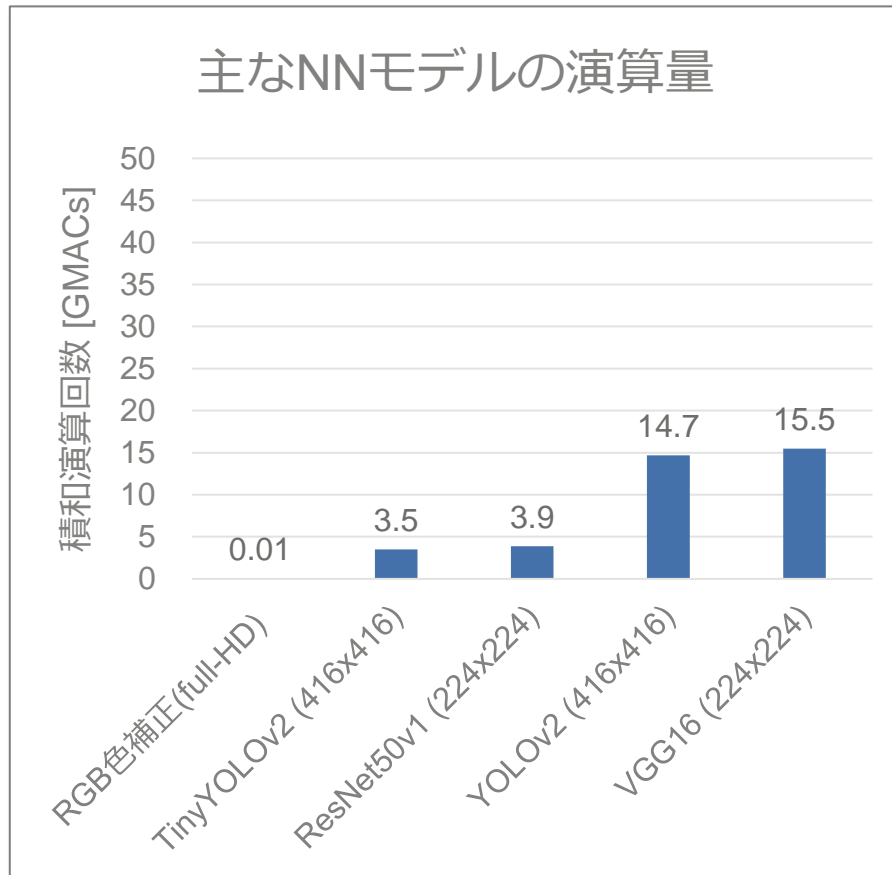


Famous / well-known Neural Networks



もう一つの課題：莫大な演算量

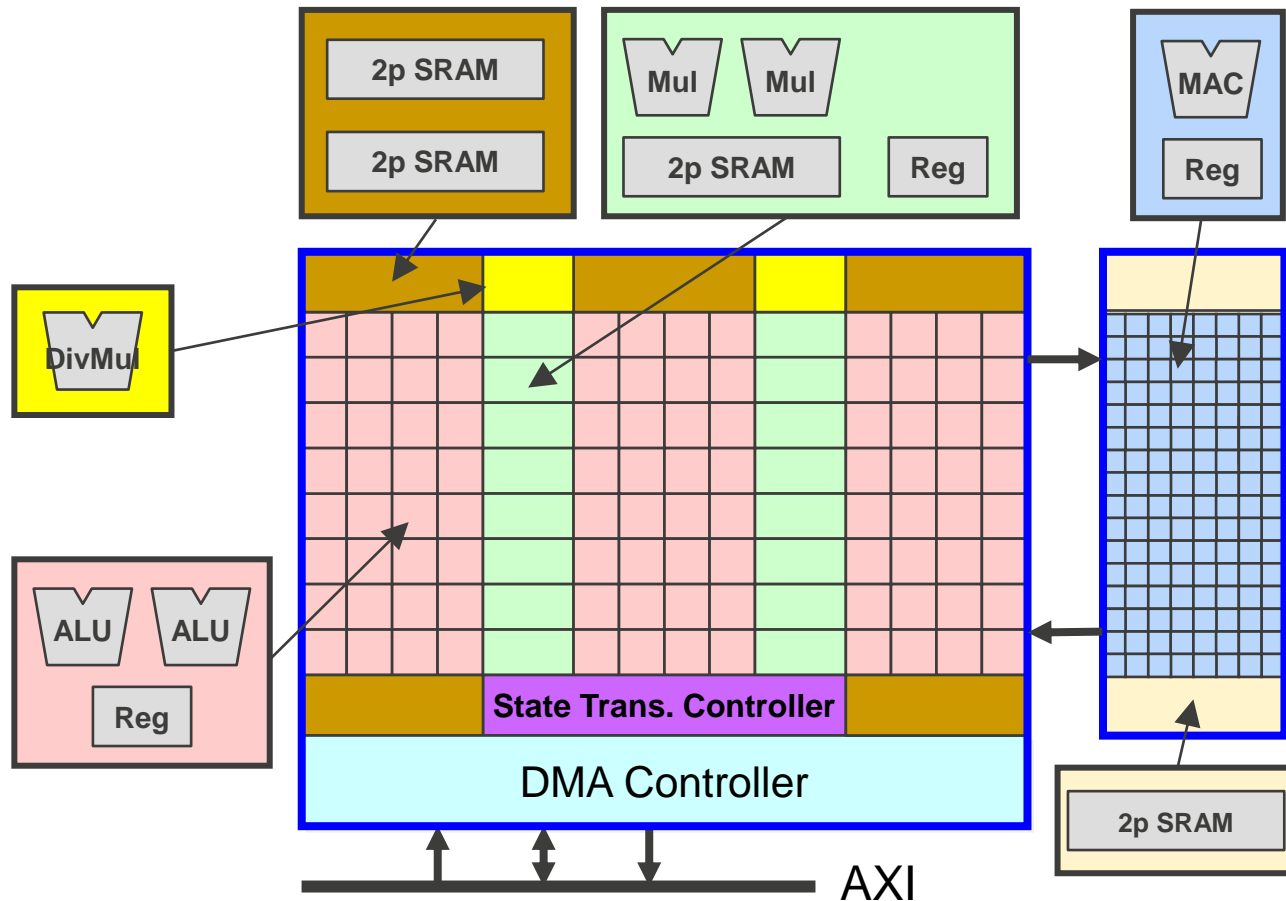
- AIは従来の画像処理アルゴリズムに対して2桁～3桁多い積和演算が必要
- 8コア搭載のハイエンドプロセッサでも数fps（1秒間に数枚）の画像を処理するのが精一杯



DRPによるAIアクセラレータ

柔軟性が高いDRPだが乗算器ネックでconv演算の性能が足りない → 高速積和演算器アレイを拡張

DRP (乗算器54個×315MHz = 17GMACs/s) AI-MAC (積和演算器576×630MHz = 360GMACs/s)



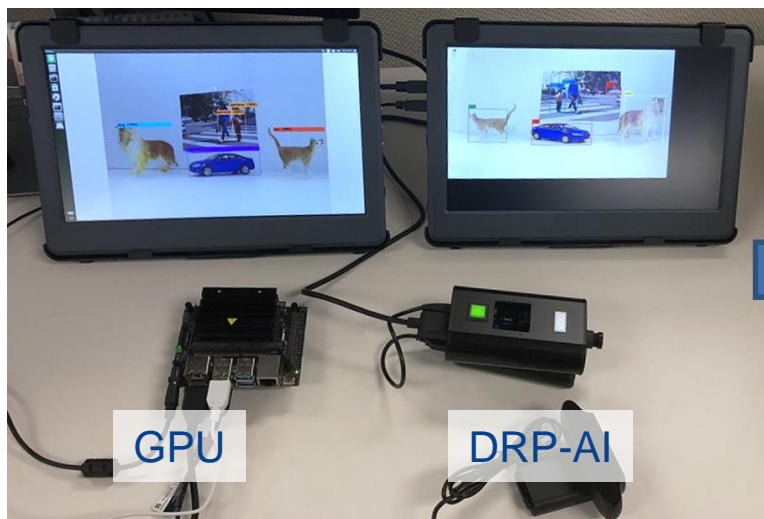
コンボリューション層・全結合層は積和演算が支配的のためAI-MACで実行

プーリング層など積和演算以外の処理や今後追加される新たなNN演算は動的再構成の柔軟性を活かせるDRP側で実行する

Convolution
Pooling
Softmax
Other

GPUとDRP-AIの発熱の違い

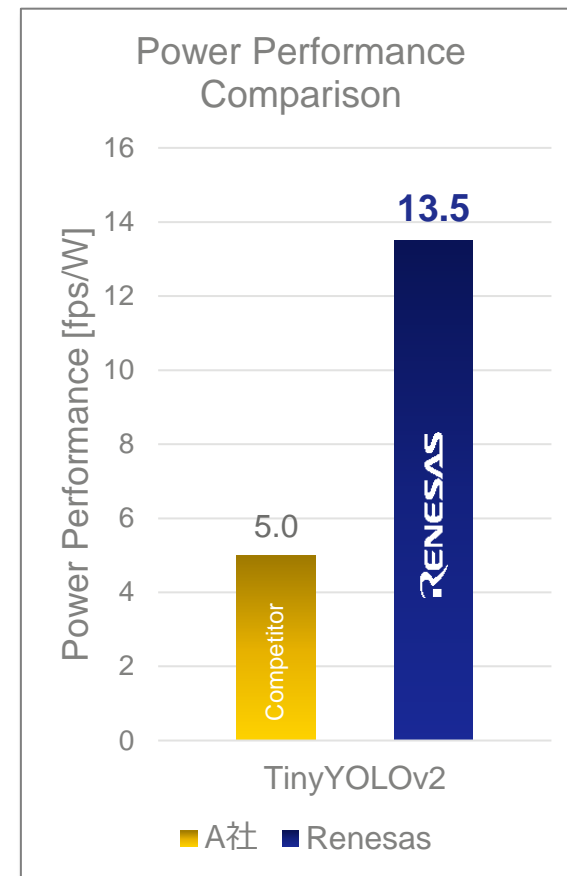
- ✓ 組み込みGPUとDRP-AIの消費電力の違いを赤外線カメラで検証
- ✓ GPUに比べ大幅に低い消費電力でより高い推論実行性能を達成



GPU



DRP-AI



Note:
- The benchmark uses the power consumption of the entire board and inference time without pre and post process.
- Measured by Batch size=1 and FP16 Quantization.
- TensorRT7 is applied for Competitor A measurement.

※起動後15分動作させ続けた状態での発熱を測定
GPUは市販の評価ボード、DRP-AIはテストチップによるデモキットを使用

4. DRP-AI DEMO

RZ/V2M Smart Retail (Visual POS)

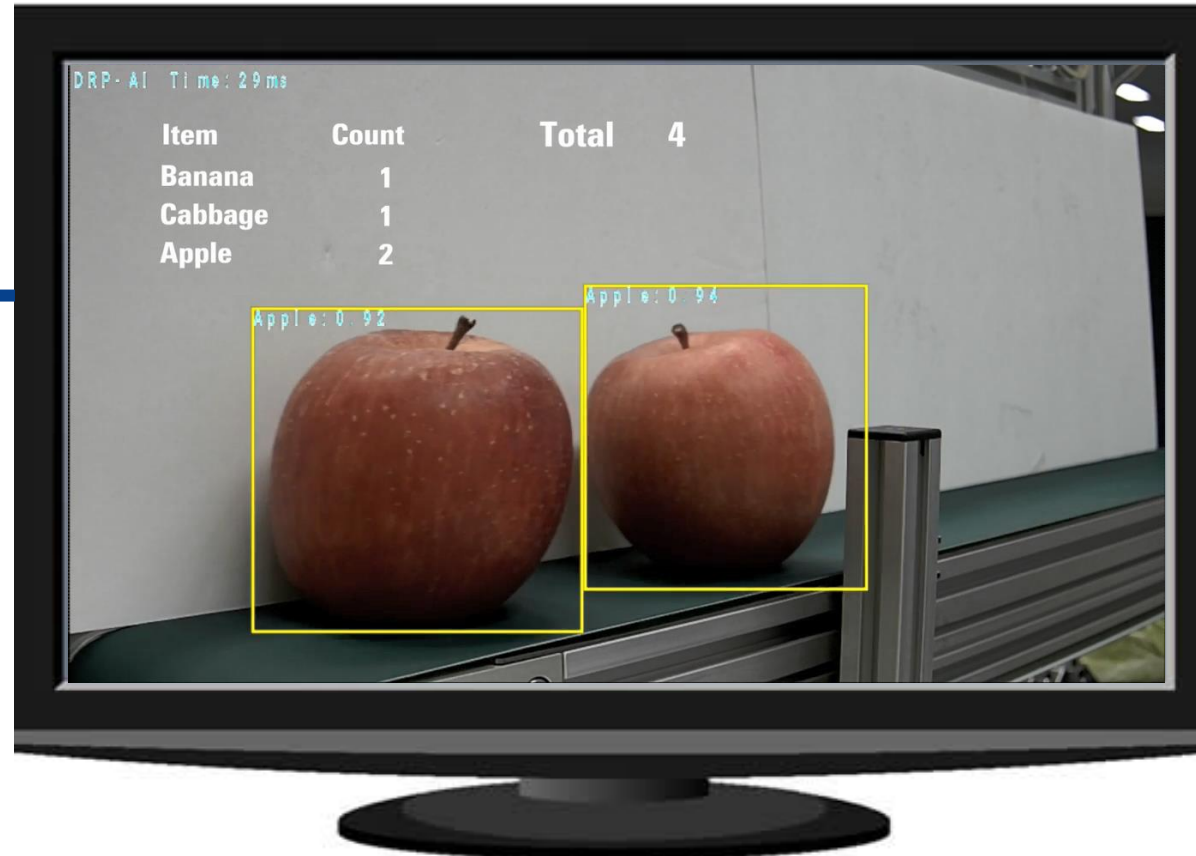


HDMI Display: Output

RZ/V2M Evaluation Board



MIPI Camera: Input



Draw the inference result using
ISP Support Package Graphics API

AI Inference 30FPS

RZ/V2M AI Surveillance Camera Demo

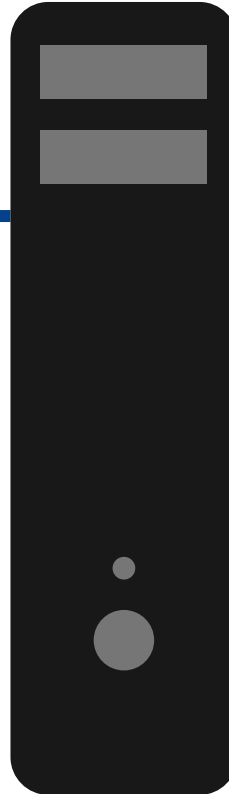
Demo Application on Windows 10 PC

RZ/V2M
Evaluation Kit



MIPI Camera: Input
(FHD 30FPS)

Ethernet Cable: Output
(streaming data: RTP/RFC6184,
inference data: original format)



Play the H.264 Streamed Video data from MIPI Camera
& Draws the DRP-AI Tiny-YOLOv2 results using Windows Application

30FPS AI Inference & FHD Video Streaming

RZ/V2M Pose Estimation Demo

RZ/V2M Evaluation Board



HDMI Display: Output

MIPI Camera: Input
(QHD 30FPS)



Draw the inference result using
ISP Support Package Graphics API
(QHD 30FPS)

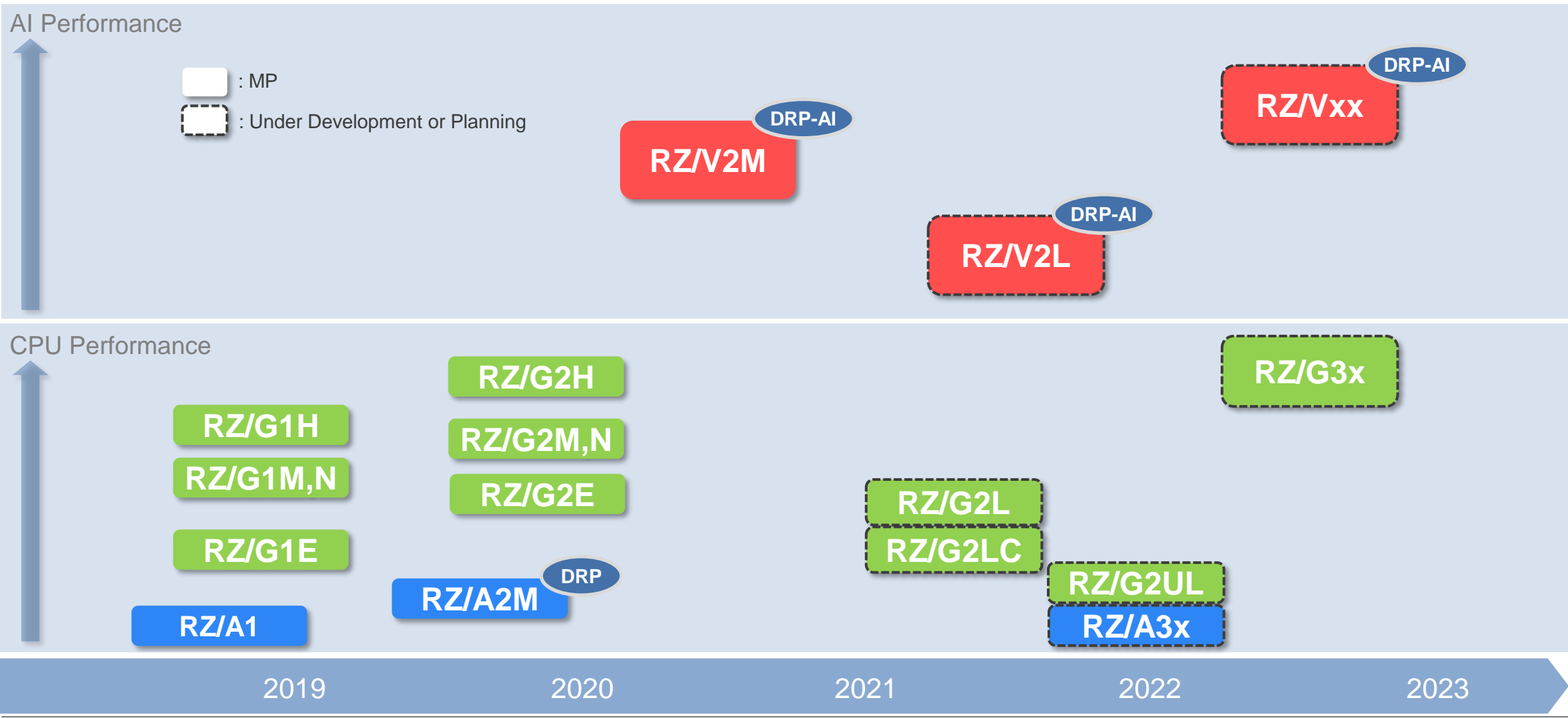
AI Inference 15FPS

5. PRODUCT ROADMAP

GENERAL PURPOSE MPU & EMBEDDED AI MPU ROADMAP

Embedded AI MPU

GP MPU



RZ/V2M BLOCK DIAGRAM

Note1: 1 core is not available for customer due to the occupancy of ISP support package
 Note2: Two camera connection is only supported by 3rd party designated by Renesas and is incurred the development cost (after 2022'2H).
 Note3: They are optional functions of ISP support package and are imposed additional license fee on the device price.
 Note4: Auto Focus is only supported by 3rd party designated by Renesas and is incurred the development cost(after 2022'2H).
 Note5: To be supported after 2022'2H

System

- ARM debugger (CoreSight)
- DMAC (16ch)
- Power control (Note5)

CPU

ARM Cortex™-A53 : 1GHz		ARM Cortex™-A53 : 1GHz	
L1 I\$: 32KB	L1 D\$: 32KB	L1 I\$: 32KB	L1 D\$: 32KB
NEON	FPU	NEON	FPU

L2\$: 512KB

note1

Timers

- Timer (32ch)
- PWM (16ch)
- WDT (2ch)

Memories

- RAMA 200KB
- RAMB 1MB

Image Sensor I/F

- MIPI CSI-2 v1.2 (4Lanes, 2ch) (Note2)

Sensing and Analyzing

- AI-accelerator (DRP-AI)
- General Processing Accelerator (Note3)
- Multi-target detection (Note3) (Face, Person's body)

Display I/F

- HDMI v1.4a TX (1ch)

Video and Graphics

Camera ISP	2D Graphics engine
H.264/265 Multi Codec	JPEG Codec

Audio I/F (Note3)

- I2S (1ch)

Security

- Trusted Secure IP (Note5)

Peripheral I/F

- SDI (2ch)
- USB3.1 (1ch) (Host/Peripheral)
- PCIe Gen2 (2Lane)
- Gbit Ethernet MAC (1ch)
- IIC (4ch)
- CSI (6ch)
- UART (2ch)
- GPIO
- Motor Controller (Note4)
- Environment Sensor I/F (Note4)

External memory I/F

- LPDDR4 (32-bit)
- eMMC (1ch)

Analog

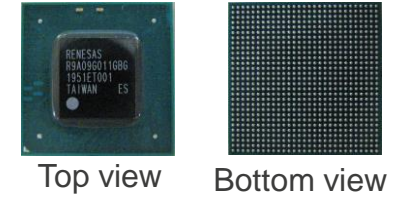
- ADC (20ch, 12bit) (Note4)
- Temperature sensor (2ch)

Power Supply

- ✓ 0.8V(Core)
- ✓ 3.3V/1.8V/1.2V/1.1V(I/O)

Package

- ✓ FCBGA 15mm x 15 mm
- ✓ Pitch: 0.5mm
- ✓ 841pins



Part No

- ✓ R9A09G011GBG



[Please Visit Website](#)

RZ/V2L BLOCK DIAGRAM

System

- ARM debugger (CoreSight)
- DMAC (16ch)
- Power control

Timers

- 32-bit Timer (1ch)
- 16-bit Timer (8ch)
- PWM (8ch)
- WDT (3ch)

Image Sensor I/F

- MIPI CSI-2 (4Lanes, 1ch)
- Parallel (HD-30fps, 1ch)

Display I/F

- MIPI DSI-2 (4Lanes, 1ch)
- Parallel (WXGA-60fps, 1ch)

Audio I/F

- SSI (I2S, 4ch)
- SRC (1ch)

CPU

ARM®Cortex®-A55 1.2GHz		ARM®Cortex®-A55 1.2GHz		ARM®Cortex®-M33 200MHz
L1 I\$: 32KB	L1 D\$: 32KB	L1 I\$: 32KB	L1 D\$: 32KB	
NEON	FPU	NEON	FPU	
L3\$: 256KB w/ECC				

Memories

- RAM 128KB w/ECC

Sensing and Analyzing

- AI-accelerator (DRP-AI)

Video and Graphics

- Image Scaling Unit (5M pixel)
- 3D GPU (Mali™ -G31)
- H.264 Enc/Dec (1920 x 1080pixel, 30fps)

Security (Option)

Secure Boot	Device Unique ID
Crypto Engine	JTAG Disable
TRNG	OTP 4K-bit

Peripheral I/F

- SDHI (UHS-I, 1ch)
- USB2.0 (Host, 1ch)
- USB2.0 (Host/Peripheral, 1ch)
- Gbit Ethernet MAC (2ch)
- I2C (4ch)
- SCI 8/9-bit (2ch)
- SCIF(UART) (5ch)
- RSPI (3ch)
- CAN-FD (2ch)
- GPIO

External memory I/F

- DDR3L/DDR4-1600 (16-bit)
- SPI Multi I/O (8-bit DDR, 1ch)
- SDHI (UHS-I) / eMMC (1ch)

Analog

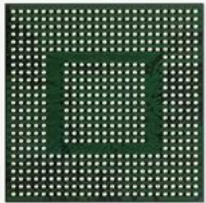
- 12-bit ADC (8ch)
- Thermal Sensor (1ch)

Power Supply

- ✓ 1.1V(Core)
- ✓ 3.3V/2.5V/1.8V/1.2V/1.1V(I/O)

Package

- ✓ 551-pin PBGA
21mm x 21 mm, Pitch 0.8mm



- ✓ 456-pin PBGA
15mm x 15mm, Pitch 0.5mm



Part No

- ✓ R9A07G054LxxGBG

Lxx	Package	Cortex-A55 Single/Dual
L13	456-pin BGA	Single Core
L23		Dual Core
L14	551-pin BGA	Single Core
L24		Dual Core

Q & A



関連情報URL

DRP搭載マイクロプロセッサ RZ/A2M <https://www.renesas.com/rza2m>

カメラによるロボットハンド制御 (p19) <https://github.com/JiGoRo1969/semb1451>

AI Accelerator : DRP-AI <https://www.renesas.com/jp/ja/application/technologies/ai-accelerator-drp-ai>

White Paper (DRP AI) <https://www.renesas.com/jp/ja/document/whp/embedded-ai-accelerator-drp-ai?r=1506261>

Webinar https://www.renesas.com/jp/ja/support/events?field_event_type_value=All&field_event_level_value=All&field_event_cost_value=All&keyword=RZ/A

Renesas.com