

Embedded
Multicore
Consortium

www.embeddedmulticore.org

組込みマルチコアコンソーシアム

ハードベンダ/ソフトベンダ/メーカーを繋ぎマルチコア活用を支援

2022-11

名古屋大学 枝廣 正人

イーソル(株) 権藤 正樹

ガイオテクノロジー(株) 岩井 陽二

組込みマルチコア

- マルチコアプロセッサはアーキテクチャの自由度が高く、各種ツールやプラットフォーム支援が重要
- 様々な並列化手法、ライブラリ、ツールを組合せるには様々な知見が必要
- システムベンダから半導体ベンダまで、すべての関連技術の協働が必要
- 関連業界で協力・連携し、(1) 活用支援、(2) ビジネス推進、(3) 市場の活性化貢献を実現することが必要

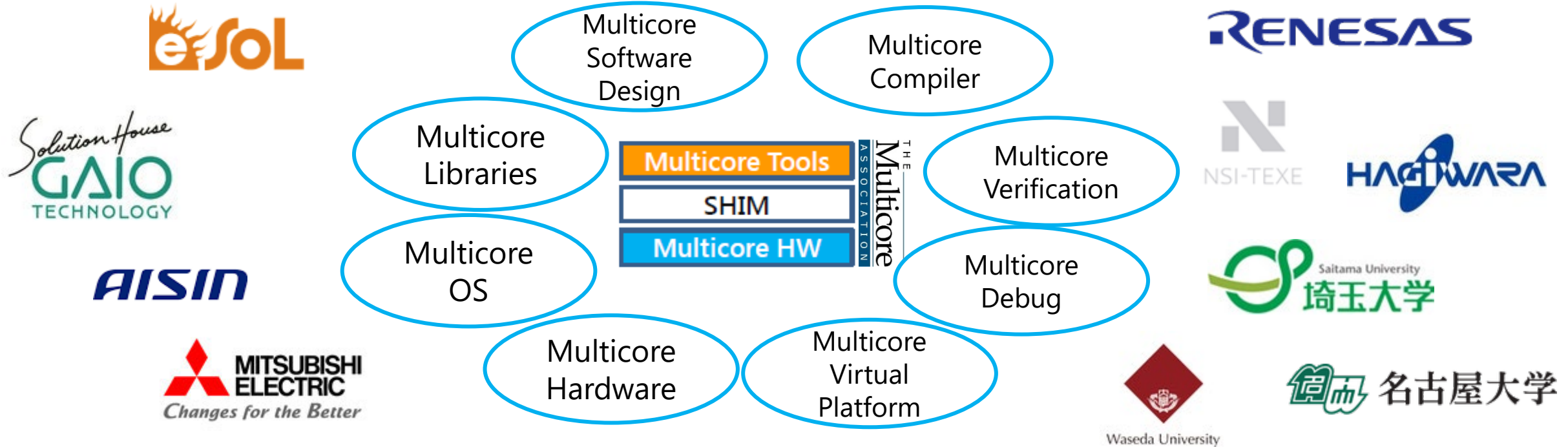
System DMA + DTS Clock Monitor Temperature Sensor CVM Error Control Module MBIST/LBIST Boundary scan Power: Deep Stop Full OTA KCRC ICU-MH Security EVITA-Full NEXUS, RHSIF*	32-bit CPU Up to 8 RH850 G4MH Core + 4 Lock Step Core @ 400 MHz Tj = -40 ~ up to +160 °C* Hypervisor, QoS MPU, FPU, FXU	Interfaces Up to Gbit Ethernet* (TSN/SGMII) w/ Switch RSCAN-FD FlexRay MSPI RLIN3 RHSIF RIIC* RHSB RSENT PSI5* PSI5-S*
Motor Control IP RDC* EMU3S*	Memory Up to 32 MB Code Flash Up to 512 KB Data Flash Up to 5.1 MB RAM eMMC* SFMA	Analog SAR-ADC, T/H DS-ADC Cyclic-ADC* Fast Comparator DFE
Accelerator DFP (DR1000C)*	Generic Timers GTM v4.1 TAUD TAUJ* TAPA TSG3 ENCA TPBA HRPWM OSTM WDTB SWDT TPTM LTSC ATU-VI	

CPU system Application processor system (ARM Cortex-R52) CAS0 Dual Core (400 MHz) CAS1 Dual Core (400 MHz) CAS2 Dual Core (400 MHz) CAS3 Dual Core (400 MHz) EL1 L2 cache 32/256 EL1 L2 cache 256/256 CC Processor processor system (ARM Cortex-R52 Dual L2) CR02 L1 L2 cache 32/256 L1 L2 cache 256/256 Microcontroller system (RH850) (2x G4MH Dual L2) G4MH G4MH L2RAM Cluster RAM RAM RAM RAM	Connectivity PCIe 4.0 x16 Gen3 2-lane PCIe 4.0 x16 Gen3 2-lane 1x Eth. AVB 100Mbps 1x Ethernet MAC (AVB/TSN, 2.5Gbps) & Switch 10x CAN-FD with HW Accelerator 10x FLIN 1x SENT 1x FlexRay (Ach5ch)	Security HSM security modules: HCU/MS, ICU/MS Secure Engine Crypto Core AES HW Accelerator: 2x AES-256 HSM(S) slave type security module: SHIP-S eFuse	Memory & I/F LPDDR4x-3200 (ECC corrected) 32bit (≧ 12.8 GB/s) SDRAM 2x QSPI 1x HyperFlash Serial NOR Flash I/F (OCTAL FLASH) eMMC 5.0 UFS	Debug-I/F 2x JTAG/SWD Nexus-JTAG Aurora
System Pin function controller DMAC(AP/RT/MCU) System timer Watchdog Thermal sensor MBIST/LBIST Clock monitor Error Control Voltage monitor	Timer Real time clock 32bit timer 16bit timer Operating system timer	Power Management Power Domain Control Deep Standby Control Cyclic-Wake-up Control	Package FCBGA 23x23mm ¹ 780 pins 0.8mm pitch, full grid	

NSITEXE社、ルネサス エレクトロニクス社
WWWサイトより引用

様々なベンダや大学が集まり連携するための場が求められている
→2014年10月組込みマルチコアコンソーシアムを設立

組込みマルチコアコンソーシアムとは



- システム、ソフトウェア、ツール、半導体の各レイヤが協力・連携し、前述の課題を解決する**エコシステムを構築するための産学合同**の場
- 組込みマルチコアに関する**技術開発加速と利用促進**
- **開発フローの確立とベンダ間ツール協調を支援**

マルチコア適用ガイド



<マルチコア適用ガイドの各章>

- 1章 <並列化フロー> 完成度の高いマルチコアソフトウェアを効率よく作成するための開発手順
 - 2章 <動作の見える化> マルチコアの問題解決に役立つ可視化の技術
 - 3章 <テスト設計> マルチコア用プログラムを対象としたテストの勘所
 - 4章 <品質評価> 組込みシステムをマルチコア化したときに確保すべき品質とは
 - 5章 <自動車応用> 車載システム向けのドメインごとの特徴とマルチコア対応
 - 6章 制御系マルチコア・ハードウェアの特徴とユースケース
 - 7章 自動車 機能安全へのマルチコア適用
 - 8章 並列処理ソフトウェアの課題と対策技術
 - 9章 <Appendix> 組込みマルチコア用語集
- EMC [WWWサイトHome](http://www.emc-site.com)から

技術者支援

1 はじめての並列化

(1) OpenMPによるデータ並列化

.....

(9) パイプライン並列の高速化

(10) プロファイル情報とまとめ

2 並列処理の不具合と対策

(1) 並列処理のリソース競合

.....

(7) 並列処理に関するトラブル集

(8) 並列処理問題をソースから
見つけるためのヒント

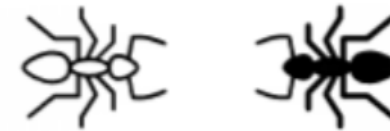
EMC WWWサイト
“Multicore for Beginners”
メニューから

並列処理の不具合と対策 · 2021/10/13

(4) ライブロック(livelock) [並列処理の不具合と対策]

ライブロックとは“動いているのだが進まない”という状況を指します。

たとえば、道を歩いている向こうから来た人を避けようとするとき、相手が自分と同じように歩きます。



ライブロックは絶妙なタイミングで発生する

前回までのブログで使用したプログラムで、ライブロックを発生させてみました。

MCA (Multicore Association) 仕様書

- MCAの解散に伴い、一部仕様書がEMCに移譲
 - MCAPI
 - MRAPI
 - MTAPI
 - MPP
 - SHIM

EMC WWWサイト
“The Multicore Association Specifications”メニューから

MCA仕様書

[To Engl

2020年にMCA (Multicore Association)が解散した後、一部の仕様書類は組込みマルチコアコミュニティページではそれらの仕様書類をWikipediaにおける解説と共に公開しています。

Wikipedia: https://en.wikipedia.org/wiki/Multicore_Association (referred on June 9, 2021).

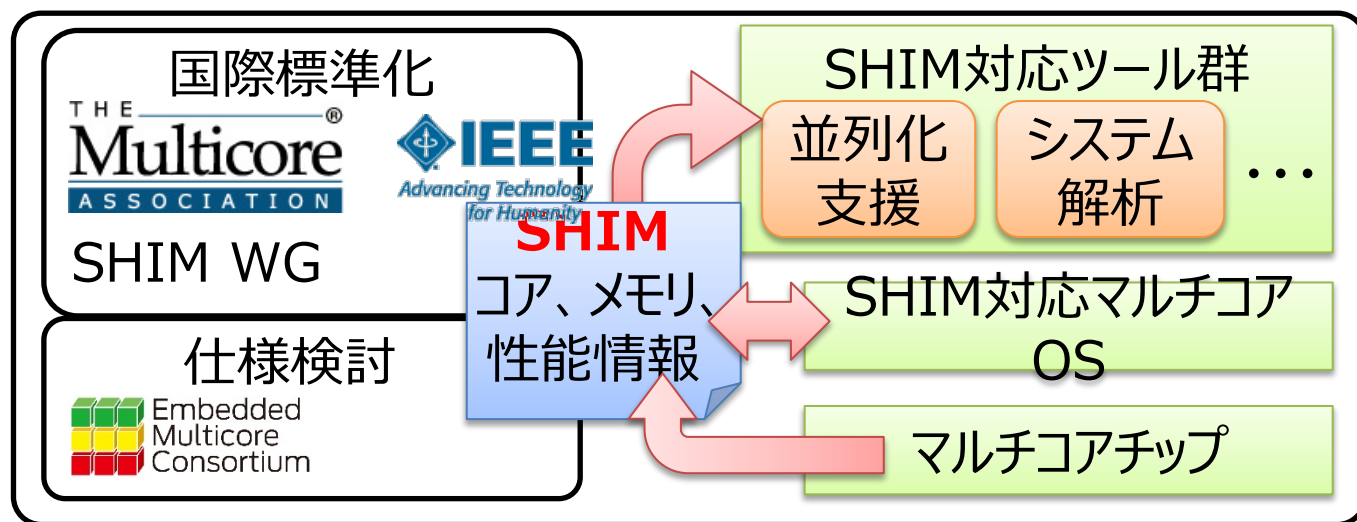
● MCAPI V2.015

2008年、Multicore Communications API (MCAPI) ワーキンググループは、MCAPI と呼ばれる MCAPIはメッセージパッシングAPIであり、組込みシステム内の比較的近距離に分散する要素 (チップ) 間に必要な通信と同期の基本APIを提供します。MCAPIは複数次元の不均一性 (heterogeneity) は、プロセッサコア、インターコネクティブファブリック、メモリ、オペレーティングシステム、プログラミング言語などがあります。

2011年、MCAPIワーキンググループはMCAPI2.0をリリースしました。拡張バージョンでは、追加されています。MCAPI2.0は、「ドメイン」の導入により、ノードネットワークに対してドメインは、例えば特定チップ上のすべてのコアを表現する、あるいはトポロジをパブリックエクスポートするための固有のさまざまな用途に使用できます。また、MCAPI 2.0は新しく3種類の初期化パラメータ (

SHIM

- SHIM 1.0 の標準化に貢献 (Software-Hardware Interface for Multi-many-core)
 - 多様なマルチコアチップを抽象化したXML記述
 - コア種類・数、メモリ配置、アドレスマップ、通信、コア→メモリ性能情報等が、数百ページの説明書を読まずとも、機械的に読める
 - 性能情報の例：コアAからメモリ番地Xにアクセスしたときの(best, typ, worst)レイテンシ
 - ツール群、OS等がSHIM対応することにより、多様なマルチコアチップを共通的に扱えるようにすることが目的



```
<MasterSlaveBinding slaveComponentRef="LRAM_B
  <Accessor masterComponentRef="CPU_B0COP2">
    <PerformanceSet>
      <Performance>
        <accessTypeRef>Instruction_Fetch</acc
        <Pitch best="1.0" typical="1.0" worst
        <Latency best="1.0" typical="1.0" wor
      </Performance>
      <Performance>
        <accessTypeRef>Load_Aligned_Byte</acc
        <Pitch best="1.0" typical="1.0" worst
        <Latency best="1.0" typical="1.0" wor
      </Performance>
```

コア→メモリ性能情報
SHIM記述例

SHIM2.0がIEEE標準に！

- SHIM2.0では以下の課題について強化
 - ヘテロジニアス対応 / LLVM-IRでは表しきれない命令
 - ハードウェアが持つ画処理・知能処理関数アクセラレータ等
 - 電力見積
 - DVFS (Dynamic Voltage & Frequency Scaling)
 - 通信競合
 - 特にマルチコアでの見積に重要
 - アーキテクチャの表現強化
 - Out-of-Order, SIMDなど
 - キャッシュ/メモリアーキテクチャの表現強化
 - モジュール化による記述量削減
 - etc.

SHIM 2.0: IEEE 2804-2019
IEEE Standard for Software-
Hardware Interface for
Multi-Many-Core

The screenshot shows the IEEE Standards Association website for the IEEE 2804-2019 standard. The page features a dark header with the IEEE logo and navigation links. Below the header, there are tabs for 'Standard' and 'Active'. The main content area displays the title 'IEEE 2804-2019 - IEEE Standard for Software-Hardware Interface for Multi-Many-Core' and two buttons: 'BUY THIS STANDARD' and 'ACCESS VIA SUBSCRIPTION'. Below this, there are sections for 'Explore This Standard' and 'Standard Details'. The 'Standard Details' section includes a description: 'This standard is intended primarily for tool developers and hardware developers who would use Software Hardware Interface for Multi-Many-core (SHIM) to exchange hardware description for software tools. It also attempts to provide software developers with insights into what hardware information is described in SHIM to foster understanding of the intention and the extent of SHIM.'

- IEEE標準として承認⇒IECとのDual Logoに向けて活動中



Search or jump to...

[Pull requests](#) [Issues](#) [Marketplace](#) [Explore](#)

[openshim / shim2](#) Public

[Watch](#) ▾

2

[Star](#)

1

[Code](#)

[Issues](#) 1

[Pull requests](#)

[Actions](#)

[Projects](#)

[Wiki](#)

[Security](#)

[Insights](#)

[master](#) ▾

[1 branch](#) [0 tags](#)

[Go to file](#)

[Add file](#) ▾

[Code](#) ▾

About

No description, website, or t

[Readme](#)

[MIT License](#)

Releases

No releases published

[Create a new release](#)

Packages

No packages published

[Publish your first package](#)



[masakigondo](#) Update README.md

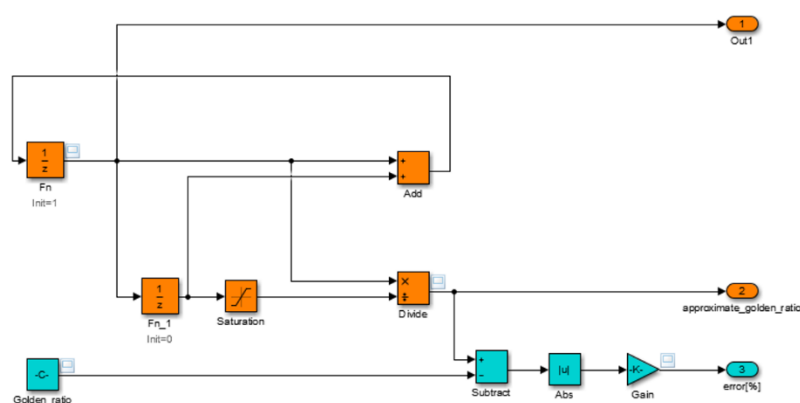
152951e 12 days ago [14 commits](#)

docs	first	10 months ago
plugins	plugin check	9 months ago
samples	first	10 months ago
schema	add shim20.xsd	16 months ago
shim-measure		12 days ago
sources		10 months ago
tools		3 months ago
LICENSE.txt	add new file	2 years ago
README.md	Update README.md	12 days ago

shim-measure: 計測ツール
tools: SHIM Editor

その他の公開成果

- MCA MPP和訳 (Multicore Programming Practice)
 - マルチコアを利用するための基本知識とベストプラクティス集
 - 2017.3組込みマルチコアコンソーシアム ダウンロードページに公開
 - 2021.11現在 634ダウンロード
- SHIM1.0和訳
- モデルベース並列化サンプル (ツールバイナリは会員向けのみ)



並列化モデル

データ読み書き間の依存性は計算の部分的な順序を決定する。順序を制限するデータ依存には3つのタイプがあり、真のデータ依存、逆依存、出力依存がある。(図8)

真のデータ依存は、あるデータ値への書き込みが終わるまでは読み込みができないような操作間の順序を示す。これはアルゴリズム内の基本的な依存であるが、このデータ依存性の影響を最小化するようアルゴリズムを改良することもできる場合もある。

MPP

コンソーシアム活動

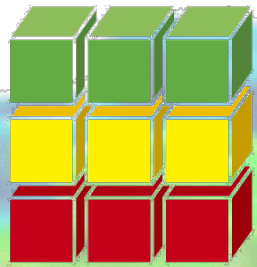
- マルチコア向け開発支援ツールのためのハードウェア抽象化記述SHIM標準化と導入支援 (SHIM委員会)
 - SHIM (Software-Hardware Interface for Multi-Many-Core)
 - SHIM WG, Multicore Association (Chair: M. Gondo (eSOL))
 - NEDO省エネPJから仕様提案、MCA標準として2015年2月V1.0、2019年1月V2.0、2019年秋IEEE標準に
- リファレンスとしてSHIMを利用したマルチコア向け設計支援ツール群を開発
 - MCAとしても公開するSHIM Editorと性能計測ツールに加え、設計支援ツール群を会員向けに無償公開。所定の期間経過後に一般にも公開する可能性有
 - モデルベース並列化委員会
- 様々な並列化手法の知見共有とガイドラインの検討
 - マルチコア適用委員会
- セミナー開催、技術情報提供、MCAとの連携

今後のEMC

- SHIM2.0のIEC標準化、SHIM3へ
 - SHIM3ではプラットフォーム（基本ソフトウェア含む）のレイテンシ等について検討
- マルチコア初心者が開発を成功させるための方法論
- マルチコアに関する知見のフィードバック
 - アンケートにご記入ください
- 活動にご意見をいただくとともに一緒に検討しましょう！

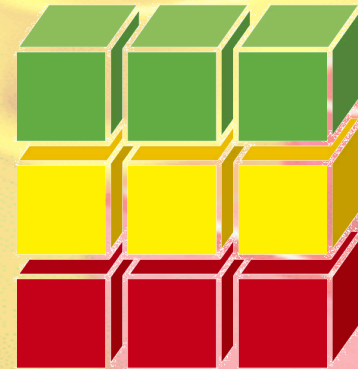
メンバーシップ

- 会員（2022年11月現在14団体）
 - アイシン、ルネサス エレクトロニクス、NSITEXE、eSOL、ガイオテクノロジー、萩原エレクトロニクス、三菱電機、大阪大学、埼玉大学、名古屋大学、早稲田大学アドバンスドマルチコアプロセッサ研究所、他
 - 相互協力：JASA、MCA(Multicore Association)
- メンバーシップ構成
 - 正会員（入会金なし、年会費20万） 準会員、特別会員
 - 詳細は <http://www.embeddedmulticore.org/>
- （参考）SHIM WG Primary Contributing Members
 - Cavium Networks, CriticalBlue, eSOL, Freescale, Nagoya University, PolyCore Software, Renesas, Texas Instruments, TOPS Systems, Vector Fabrics, and Wind River.



Embedded
Multicore
Consortium

www.embeddedmulticore.org



Embedded
Multicore
Consortium

www.embeddedmulticore.org